

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Kohei OIKAWA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: FERROELECTRIC MEMORY DEVICE HAVING FERROELECTRIC CAPACITOR AND METHOD  
OF READING OUT DATA THEREFROM

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §120**.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:  
Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

**COUNTRY**

Japan

**APPLICATION NUMBER**

2002-374209

**MONTH/DAY/YEAR**

December 25, 2002

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

Customer Number

**22850**

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

**C. Irvin McClelland**  
**Registration Number 21,124**

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 2 月 2 5 日  
Date of Application:

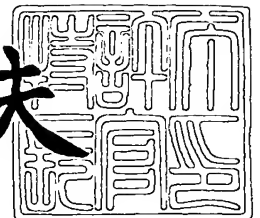
出 願 番 号                      特 願 2 0 0 2 - 3 7 4 2 0 9  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 2 - 3 7 4 2 0 9 ]

出 願 人                      株式会社東芝  
Applicant(s):

2 0 0 3 年    9 月    2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000205829

【提出日】 平成14年12月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00  
H01L 27/10

【発明の名称】 強誘電体メモリ及びそのデータ読み出し方法

【請求項の数】 13

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
イクロエレクトロニクスセンター内

【氏名】 及川 恒平

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
イクロエレクトロニクスセンター内

【氏名】 白武 慎一郎

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
イクロエレクトロニクスセンター内

【氏名】 高島 大三郎

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

## 【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

## 【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

## 【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

## 【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

## 【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

## 【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

## 【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体メモリ及びそのデータ読み出し方法

【特許請求の範囲】

【請求項 1】 セルトランジスタと、前記セルトランジスタのソース・ドレイン間に接続された強誘電体キャパシタとを含むユニットセルと、

第 1 の端子と第 2 の端子との間に直列接続された複数個の前記ユニットセルを含み、前記第 1 の端子がブロック選択トランジスタを介してビット線に接続され、前記第 2 の端子がプレート線に接続され、且つ前記セルトランジスタのゲートがワード線に接続されたメモリセルブロックと、

前記ユニットセルから前記ビット線に読み出したデータを増幅し、読み出しデータに応じて第 1 の電位と前記第 1 の電位より高い第 2 の電位のいずれかを生成するセンスアンプと、

前記ビット線を前記第 1 の電位より高く且つ前記第 2 の電位より低い第 3 の電位にプリチャージするプリチャージ回路と、

前記プリチャージ回路によってプリチャージされた前記ビット線を第 4 の電位に設定するビット線駆動回路と、

前記プレート線に電位を供給するプレート線駆動回路と  
を具備することを特徴とする強誘電体メモリ。

【請求項 2】 前記プレート線駆動回路は、前記プレート線を前記第 1 の電位より高く且つ前記第 2 の電位より低い第 5 の電位にプリチャージすることを特徴とする請求項 1 記載の強誘電体メモリ。

【請求項 3】 前記第 5 の電位は前記第 3 の電位に等しい  
ことを特徴とする請求項 2 記載の強誘電体メモリ。

【請求項 4】 前記第 1 の電位と前記第 3 の電位との間の電位差は、前記第 1 の電位と前記第 2 の電位との間の電位差の略  $1/2$  である  
ことを特徴とする請求項 1 乃至 3 いずれか 1 項記載の強誘電体メモリ。

【請求項 5】 前記ビット線駆動回路は、電流経路の一端が前記ビット線に接続されたトランジスタと、

前記トランジスタの電流経路の他端に接続された一方電極と、前記第 1 の電位

に接続された他方電極とを有するキャパシタ素子と

を備えることを特徴とする請求項 1 乃至 4 いずれか 1 項記載の強誘電体メモリ

。

【請求項 6】 前記ビット線駆動回路は、駆動電位に接続された一方電極を有するキャパシタ素子と、

前記キャパシタ素子の他方電極を前記第 1 の電位と前記ビット線のいずれかに接続するスイッチ素子と

を備え、前記駆動電位を制御することにより、前記ビット線を所定の電位に設定する

ことを特徴とする請求項 1 乃至 4 いずれか 1 項記載の強誘電体メモリ。

【請求項 7】 前記ビット線駆動回路は、電流経路の一端が前記ビット線に接続され、電流経路の他端が前記第 1 の電位に接続されたトランジスタを備えることを特徴とする請求項 1 乃至 4 いずれか 1 項記載の強誘電体メモリ。

【請求項 8】 前記ビット線駆動回路は、前記ユニットセルからデータを読み出す直前に、前記ビット線の電位を前記第 4 の電位に設定し、

前記第 3 の電位と前記第 4 の電位との間の電位差は、前記ユニットセルから “0” データを読み出した場合における前記ビット線の電位変化量と、“1” データを読み出した場合における前記ビット線の電位変化量との間の電位である

ことを特徴とする請求項 1 乃至 7 いずれか 1 項記載の強誘電体メモリ。

【請求項 9】 セルトランジスタのソース・ドレイン間に強誘電体キャパシタの両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続した強誘電体メモリのデータ読み出し方法であって、

直列接続された前記ユニットセルを含むメモリセルブロックの一端がブロック選択トランジスタを介して接続された第 1 ビット線を第 1 の電位にプリチャージし、前記メモリセルブロックの他端が接続されたプレート線を第 2 の電位にプリチャージするステップと、

前記ユニットセルから前記第 1 ビット線にデータを読み出すステップと、

前記ユニットセルから読み出したデータに応じて、前記第 1 ビット線の電位を前記第 1 の電位より低い第 3 の電位と第 1 の電位の電位より高い第 4 の電位との

いずれかに増幅するステップと

を具備することを特徴とする強誘電体メモリのデータ読み出し方法。

【請求項 10】 前記第 1 ビット線にデータを読み出すステップの前に、第 2 ビット線を前記第 1 の電位にプリチャージするステップと、

前記第 1 ビット線を第 5 の電位に設定するステップと

を更に備え、前記第 1 ビット線の電位を前記第 3、第 4 のいずれかの電位に増幅するステップは、前記ユニットセルからデータを読み出した結果、前記第 1 ビット線の電位が前記第 2 ビット線の電位よりも低い場合には前記第 1 ビット線の電位を前記第 3 の電位に増幅し、高い場合には前記第 4 の電位に増幅する

ことを特徴とする請求項 9 記載の強誘電体メモリのデータ読み出し方法。

【請求項 11】 前記第 1 ビット線を前記第 5 の電位に設定するステップは、前記第 1 ビット線に一方電極が電氣的に接続されたキャパシタ素子の他方電極に制御信号を与え、前記キャパシタ素子のカップリングにより前記第 1 ビット線の電位を制御する

ことを特徴とする請求項 10 記載の強誘電体メモリのデータ読み出し方法。

【請求項 12】 前記第 1 の電位は前記第 2 の電位に等しい

ことを特徴とする請求項 9 乃至 11 いずれか 1 項記載の強誘電体メモリのデータ読み出し方法。

【請求項 13】 前記第 3 の電位と前記第 1 の電位との電位差は、前記第 3 の電位と第 4 の電位との電位差の略  $1/2$  である

ことを特徴とする請求項 9 乃至 12 いずれか 1 項記載の強誘電体メモリのデータ読み出し方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、強誘電体メモリ及びそのデータ読み出し方法に関する。

【0002】

【従来の技術】

近年、半導体メモリの 1 つとして、強誘電体材料をキャパシタ絶縁膜に用いた



強誘電体キャパシタ (Ferroelectric capacitor) を備えた強誘電体メモリ (Ferroelectric Random Access Memory) が注目されている。

#### 【0 0 0 3】

強誘電体メモリの中では、例えばセルトランジスタ (T) のソース・ドレイン間にキャパシタ (C) の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続した「TC並列ユニット直列接続型強誘電体メモリ」が知られている (例えば特許文献 1 参照)。TC並列ユニット直列接続型強誘電体メモリでは、複数個のユニットセルがプレート線駆動回路を共有する。従って、従来型の強誘電体メモリに比べてメモリセルアレイを高集積化することが出来る。

#### 【0 0 0 4】

従来のTC並列ユニット直列接続型強誘電体メモリのデータ読み出し方法について図 1 9 を用いて簡単に説明する。図 1 9 は、ワード線WL電位、ブロック選択信号BS、プレート線PL電位、ビット線対BL、 $\overline{BL}$ 電位のタイミングチャートである。

#### 【0 0 0 5】

まずスタンバイ時において、全てのワード線WLが“H”レベル (セルトランジスタがオン状態)、ブロック選択信号BSが“L”レベル (ブロック選択トランジスタがオフ状態) とされる。またプレート線PL及びビット線対BL、 $\overline{BL}$ は電位V<sub>ss</sub> (例えば接地電位) にプリチャージされる。

#### 【0 0 0 6】

次にアクティブ時において、選択ワード線が“L”レベル、ブロック選択信号BSが“H”レベルとされる (時刻 t<sub>1</sub>、t<sub>2</sub>)。その結果、選択メモリセルからデータが読み出され、ビット線BLの電位が上昇する (t<sub>2</sub> ~ t<sub>3</sub>)。同時に、ビット線 $\overline{BL}$ の電位は、“0”データと“1”データの判断基準となる基準電位V<sub>ref</sub>だけ上昇される。そして時刻 t<sub>3</sub>において、センスアンプはビット線BLに読み出したデータを増幅する。すなわち、データを読み出した結果、ビット線BLの電位がビット線 $\overline{BL}$ よりも低ければ、読み出しデータは“0”データと判断される。そして、ビット線BLの電位はV<sub>ss</sub>まで増幅される。逆に

高ければ“1”データと判断され、ビット線B Lの電位はV a a（例えば内部電源電位）まで増幅される。

#### 【0 0 0 7】

その後は再びスタンバイ状態に戻り、ビット線対B L、／B Lの電位はそれぞれV s sにプリチャージされる。

以上のようにして、T C並列ユニット直列接続型強誘電体メモリにおいてデータの読み出しが行われる。

#### 【0 0 0 8】

##### 【特許文献1】

特開平1 0 - 2 5 5 4 8 3号公報

#### 【0 0 0 9】

##### 【発明が解決しようとする課題】

しかしながら、上記従来のT C並列ユニット直列接続型強誘電体メモリのデータ読み出し方法であると、消費電力が大きいという問題があった。

#### 【0 0 1 0】

特にアクティブ時において、ビット線／B Lの電位を基準電位V r e fだけ上昇させる必要があり、この点に起因する消費電力の上昇が顕著であった。

#### 【0 0 1 1】

この発明は、上記事情に鑑みてなされたもので、その目的は、消費電力を低減できる強誘電体メモリ及びそのデータ読み出し方法を提供することにある。

#### 【0 0 1 2】

##### 【課題を解決するための手段】

上記目的を達成するために、この発明に係る強誘電体メモリは、セルトランジスタと、前記セルトランジスタのソース・ドレイン間に接続された強誘電体キャパシタとを含むユニットセルと、第1の端子と第2の端子との間に直列接続された複数個の前記ユニットセルを含み、前記第1の端子がブロック選択トランジスタを介してビット線に接続され、前記第2の端子がプレート線に接続され、且つ前記セルトランジスタのゲートがワード線に接続されたメモリセルブロックと、前記ユニットセルから前記ビット線に読み出したデータを増幅し、読み出しデー

タに応じて第1の電位と前記第1の電位より高い第2の電位のいずれかを生成するセンスアンプと、前記ビット線を前記第1の電位より高く且つ前記第2の電位より低い第3の電位にプリチャージするプリチャージ回路と、前記プリチャージ回路によってプリチャージされた前記ビット線を第4の電位に設定するビット線駆動回路と、前記プレート線に電位を供給するプレート線駆動回路とを具備することを特徴としている。

#### 【0013】

また、本発明に係る強誘電体メモリのデータ読み出し方法は、セルトランジスタのソース・ドレイン間に強誘電体キャパシタの両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続した強誘電体メモリのデータ読み出し方法であって、直列接続された前記ユニットセルを含むメモリセルブロックの一端がブロック選択トランジスタを介して接続された第1ビット線を第1の電位にプリチャージし、前記メモリセルブロックの他端が接続されたプレート線を第2の電位にプリチャージするステップと、前記ユニットセルから前記第1ビット線にデータを読み出すステップと、前記ユニットセルから読み出したデータに応じて、前記第1ビット線の電位を前記第1の電位より低い第3の電位と第1の電位の電位より高い第4の電位とのいずれかに増幅するステップとを具備することを特徴としている。

#### 【0014】

上記のように、この発明に係る強誘電体メモリ及びそのデータ読み出し方法によれば、ビット線プリチャージレベルを、センスアンプによって増幅した“0”データ電位と“1”データ電位との間の電位に設定している。従って、データの読み出し後、高電位のビット線の電荷を、低電位のビット線のプリチャージに使用することが出来る。その結果、強誘電体メモリの消費電力を低減できる。

#### 【0015】

##### 【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

#### 【0016】

この発明の第1の実施形態に係る強誘電体メモリ及びそのデータ読み出し方法について、図1を用いて説明する。本実施形態では、セルトランジスタ(T)のソース・ドレイン間にキャパシタ(C)の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続した「TC並列ユニット直列接続型強誘電体メモリ」を例に挙げて説明する。図1は強誘電体メモリの要部の構成例を示すブロック図である。

#### 【0017】

図示するように、強誘電体メモリ10は、メモリセルアレイ20、センスアンブ30、ビット線駆動回路40、プリチャージ回路50、及びプレート線駆動回路60を備えている。

#### 【0018】

メモリセルアレイ20は、 $(m+1)$ 個のメモリセルブロックBLK0、BLK1、…、BLKm( $m$ は自然数、図1ではBLK0、BLK1のみ示す)、及び $(m+1)$ 個のブロック選択トランジスタBST0、BST1、…BSTm(図1ではBST0、BST1のみ示す)を備えている。メモリセルブロックBLK0、BLK1、…BLKmは、直列接続された複数個のメモリセルMCを含んでいる。図1では1つのメモリセルブロックあたりに含まれるメモリセルMCの数は8個であるが、勿論、この数に限定されるものではなく、16個や32個の場合であっても良い。メモリセルMCは、MOSトランジスタT及び強誘電体キャパシタCを含んでいる。強誘電体キャパシタCは、キャパシタ絶縁膜に強誘電体材料を用いたキャパシタ素子である。強誘電体材料としては、例えばジルコン酸チタン酸鉛(Pb-Zr-Ti-O:PZT)、タンタル酸ストロンチウムビスマス(Sr-Bi-Ta-O:SBT)等を用いることができる。強誘電体キャパシタCの一方電極はセルトランジスタTのソースに接続され、他方電極はセルトランジスタTのドレインに接続されている。そして、セルトランジスタTのソースは、一方で隣接するメモリセルMCのセルトランジスタTのドレインに接続され、ドレインは、他方で隣接するメモリセルMCのセルトランジスタのソースに接続されている。各メモリセルMCに含まれるセルトランジスタTのゲート電極は、それぞれワード線WL0~WL7に接続されている。また、最もソー

ス寄りに位置し、ワード線WL 7に接続されるメモリセルMCのセルトランジスタTのソースは、プレート線対PL、／PLに接続されている。更に、最もドレイン寄りに位置し、ワード線WL 0に接続されるメモリセルMCのセルトランジスタTのドレインは、ブロック選択トランジスタBST 0、BST 1、…、BST mを介して、ビット線対BL、／BLに接続されている。すなわち、ブロック選択トランジスタBST 0、BST 1、…、BST mのソースは、ワード線WL 0に接続されるセルトランジスタTのドレインに接続され、ドレインは、ビット線BLまたは／BLに接続されている。またブロック選択トランジスタBST 0、BST 1、…、BST mのゲートには、ブロック選択信号BS 0、BS 1、…、BS m（図1ではBS 0、BS 1のみ示す）が供給される。

#### 【0019】

センスアンプ30は、ビット線BL、／BLに読み出されたデータを増幅する。センスアンプ30の構成について、図2を用いて説明する。図2はセンスアンプ30の回路図である。

#### 【0020】

図示するようにセンスアンプ30は、pチャネルMOSトランジスタ31、32及びnチャネルMOSトランジスタ33、34を備えている。2つのpチャネルMOSトランジスタ31、32の電流経路（ソース・ドレイン間）は、ビット線対BL、／BL間に直列接続されている。そしてpチャネルMOSトランジスタ31、32のそれぞれのゲートは、それぞれビット線／BL、BLに接続されている。また、両トランジスタ31、32の接続ノードには、制御信号SAPが供給される。2つのnチャネルMOSトランジスタ33、34の電流経路は、ビット線対BL、／BL間に直列接続されている。そしてnチャネルMOSトランジスタ33、34のそれぞれのゲートは、それぞれビット線／BL、BLに接続されている。また、両トランジスタ33、34の接続ノードには、制御信号／SANが供給される。

#### 【0021】

ビット線駆動回路40は、アクティブ時において、選択メモリセルが接続されるビット線BL、／BLのいずれかの電位を制御する。より具体的には、ビット

線BLにデータを読み出す際には、選択メモリセルから“1”データを読み出した場合のビット線BL電位と、“0”データを読み出した場合のビット線BL電位との中間の電位V<sub>d r</sub>だけ、ビット線BLの電位をプリチャージ電位から低下させる。以後、この電位V<sub>d r</sub>を基準電位と呼ぶことにする。逆にビット線／BLにデータを読み出す際には、ビット線／BLの電位を、プリチャージレベルから基準電位V<sub>d r</sub>だけ低下させる。ビット線駆動回路40の構成について、図3を用いて説明する。図3はビット線駆動回路40の回路図である。

#### 【0022】

図示するようにビット線駆動回路40は、nチャネルMOSトランジスタ41～43、キャパシタ素子44を備えている。2つのnチャネルMOSトランジスタ41、42の電流経路は、ビット線対BL、／BL間に直列接続されている。そして、nチャネルMOSトランジスタ41、42のゲートには、それぞれ制御信号DBS0、DBS1が供給される。nチャネルMOSトランジスタ43の電流経路は、2つのnチャネルMOSトランジスタ41、42の接続ノードと、電位V<sub>d c</sub>ノードとの間に接続されている。そしてnチャネルMOSトランジスタ43のゲートには制御信号DRSTが供給される。キャパシタ素子44は、2つのnチャネルMOSトランジスタ41、42の接続ノードと、電位V<sub>s s</sub>ノードとの間に接続されている。

#### 【0023】

プリチャージ回路50は、スタンバイ時において、ビット線対BL、／BLをプリチャージすると共に、各ビット線BL、／BL間の電位差を無くすように、電位の平衡化を行う。プリチャージ回路50の構成について、図4を用いて説明する。図4はプリチャージ回路50の回路図である。

#### 【0024】

図示するようにプリチャージ回路50は、3つのnチャネルMOSトランジスタ51～53を備えている。2つのnチャネルMOSトランジスタ51、52の電流経路は、ビット線対BL、／BL間に直列接続されている。そして、2つのnチャネルMOSトランジスタ51、52の接続ノードは、電位V<sub>b l p</sub>ノードに接続されている。またnチャネルMOSトランジスタ53の電流経路は、ビッ

ト線対BL、／BL間に接続されている。そして、3つのnチャネルMOSトランジスタ51～53のゲートには、制御信号BLEQが供給される。スタンバイ時において、ビット線対BL、／BLは、電位Vb1pにプリチャージされる。なお、プリチャージレベルVb1pは、センスアンプ30によって増幅された“0”データ（電位Vss）と“1”データ（電位Vaa）との間の電位である。

#### 【0025】

プレート線駆動回路60は、スタンバイ時において、プレート線PL、／PLをプリチャージする。また、アクティブ時におけるデータの読み出し時、選択メモリセルMCが接続されるプレート線PL、／PLのいずれかの電位を所定の電位に設定する。プレート線駆動回路60の構成は従来と同様であるので図示を省略する。

#### 【0026】

次に、上記構成の強誘電体メモリのデータ読み出し方法について、図5、図6及び図7を用いて説明する。図5、図6は、本実施形態に係るTC並列ユニット直列接続型強誘電体メモリのデータ読み出し方法の、特にビット線対BL、／BLの電位に着目したフローチャートであり、図7は各種信号のタイミングチャートである。なお、ここでは図1に示すように、メモリセルアレイ20において2つのメモリセルブロックBLK0、BLK1にのみ着目して説明する。そして、ワード線WL3に接続されたメモリセルMCからデータを読み出す場合を例に挙げて説明する。

#### 【0027】

まずスタンバイ状態において、ビット線対BL、／BL及びプレート線PLがプリチャージされる（ステップS1）。すなわち、制御信号BLEQが“H”レベルとされ、プリチャージ回路50が活性化される。これにより、プリチャージ回路50のnチャネルMOSトランジスタ51～53がオン状態とされ（図4参照）、ビット線対BL、／BLの電位はVb1pにプリチャージされる。プレート線PLは、電位Vssにプリチャージされる。ビット線のプリチャージレベルVb1pは、例えば $(Vaa + Vss) / 2$ である。また、電位Vaaは例えば内部電源電位であり、電位Vssは接地電位である。なお、プリチャージレベル

$V_{blp}$ は、電位 $V_{aa}$ と $V_{ss}$ との間の電位であれば良い。

#### 【0028】

スタンバイ状態においては、ブロック選択信号 $BS_0$ 、 $BS_1$ はロウデコーダによって“L”レベルにされている。従って、ブロック選択トランジスタ $BST_0$ 、 $BST_1$ はオフ状態である。また全てのワード線 $WL_0 \sim WL_7$ には、ロウデコーダによって正の電位が供給されており、セルトランジスタ $T$ はオン状態とされている。

#### 【0029】

更に、ビット線駆動回路40において、制御信号 $DRST$ が“H”、制御信号 $DBS_0$ 、 $DBS_1$ が“L”レベルとされている。従って、ノード $N_1$ はビット線対 $BL$ 、 $\neg BL$ から切り離された状態であり、且つ電位は $V_{dc}$ とされている。

#### 【0030】

またセンスアンプ30において、センスアンプ制御信号 $SAP$ 、 $\neg SAN$ の電位は、それぞれプリチャージレベル、例えば $(V_{aa} + V_{ss}) / 2$ とされる。従って、センスアンプ30は非活性とされている。

#### 【0031】

その状態で、メモリセルからのデータの読み出しを行う為に、強誘電体メモリはスタンバイ状態からアクティブ状態へと移行する。すなわち、時刻 $t_1$ において、制御信号 $BLEQ$ が“L”レベルにされ、プリチャージ回路50が非活性とされる。これにより、ビット線対 $BL$ 、 $\neg BL$ はプリチャージレベルでフローティング状態となる（ステップS2）。また、メモリセルからのデータの読み出しを行うために、ビット線 $BL$ の電位をプリチャージレベルから基準電位 $V_{dr}$ だけ低下させる（ステップS3）。このステップは、メモリセルから読み出したデータが、“0”データであるか“1”データであるかを判別するために必要であり、図6を用いて詳細に説明する。

#### 【0032】

まず前述のように、制御信号 $DRST$ は“H”レベルとされているから、ノード $N_1$ の電位は $V_{dc}$ である（ステップS31）。



**【0033】**

そして時刻  $t_1$  において、制御信号  $DRST$  が “L” レベルとされる。次に、時刻  $t_2$  において、制御信号  $DBS_0$  が “H” レベルとされる（ステップ  $S_{32}$ ）。これにより、ビット線駆動回路 40 のノード  $N_1$  がビット線  $BL$  に電氣的に接続される。そして、ビット線  $BL$  の電位がキャパシタ素子 44 とのカップリングにより低下する。その結果、ビット線  $BL$  の電位は、プリチャージレベル  $V_{blp}$  から基準電位  $V_{dr}$  だけ低下する（ステップ  $S_{33}$ ）。

**【0034】**

以上のようにして、ビット線  $BL$  の電位は、プリチャージレベルから基準電位  $V_{dr}$  だけ低下される。基準電位  $V_{dr}$  の大きさは、“0” データ及び “1” データを読み出した際の、ビット線  $BL$  の電位の変化量に応じて決定される。すなわち、“0” データを読み出した場合にはビット線  $BL$  の電位がビット線 /  $BL$  の電位（プリチャージレベル）よりも低くなり、“1” データを読み出した場合にはビット線 /  $BL$  の電位よりも高くなるように、基準電位  $V_{dr}$  を設定する必要がある。そして基準電位  $V_{dr}$  の設定は、電位  $V_{dc}$  を調整して、キャパシタ素子 44 にプリチャージされる電荷量をコントロールすることにより行うことができる。

**【0035】**

次に時刻  $t_3$  において、ビット線  $BL$  の電位が  $(V_{blp} - V_{dr})$  まで下がると、制御信号  $DBS_1$  が “H” レベルとされる。これにより、ビット線駆動回路 40 のノード  $N_1$  はビット線  $BL$  から電氣的に分離される。

**【0036】**

そして時刻  $t_4$  において、メモリセルからデータが読み出される（ステップ  $S_4$ ）。すなわち、ロウデコーダによりロウアドレスをデコードし、ワード線  $WL_3$  が選択される。これにより、ワード線  $WL_3$  に接続されているセルトランジスタ  $T$  がオフ状態となる。また、ロウデコーダによりブロック選択信号  $BS_0$  が “H” レベルとされ、ブロック選択トランジスタ  $BST_0$  がオン状態となる。これにより、電位  $(V_{blp} - V_{dr})$  のビット線  $BL$  と選択メモリセルとが電氣的に接続される。また、プレート線駆動回路 60 によって、プレート線  $PL$  に電位

V<sub>aa</sub>が供給される。その結果、選択メモリセルに保持されているデータに応じて、ビット線BLの電位が変動する。すなわち、メモリセルに“0”データが保持されている場合には、ビット線BLの電位が、プリチャージレベルのビット線／BLよりも $-\Delta V$ だけ低くなる。逆に“1”データが保持されている場合には、ビット線BLの電位が、プリチャージレベルのビット線／BLよりも $+\Delta V$ だけ高くなる。

#### 【0037】

次に、センスアンプ駆動信号SAPの電位が、プリチャージレベルから内部電源電位V<sub>aa</sub>とされ、センスアンプ駆動信号／SANの電位が、プリチャージレベルから接地電位V<sub>ss</sub>とされる。その結果、センスアンプ30が活性化される。活性化されたセンスアンプ30は、ビット線対間に現れた電位差 $+\Delta V$ または $-\Delta V$ を検知し、この電位差を増幅する（ステップS5）。これにより、メモリセルに“0”データが保持されている場合には、ビット線BLの電位はセンスアンプ駆動信号／SANの電位、すなわち接地電位V<sub>ss</sub>まで下降する。一方、ビット線／BLの電位はセンスアンプ駆動信号SAPの電位、すなわち内部電源電位V<sub>aa</sub>まで上昇する。逆に“1”データが保持されている場合には、ビット線BLの電位はセンスアンプ駆動信号SAPの電位まで上昇し、ビット線／BLの電位はセンスアンプ駆動信号／SANの電位まで下降する。

#### 【0038】

以上のようにして、メモリセルに保持されているデータが読み出される。読み出し後は、データの再書き込みを行った後、再びスタンバイ状態に戻る（ステップS6）。すなわち、センスアンプ駆動信号SAP、／SANの電位がプリチャージレベルとされる。また、制御信号BLEQが“H”レベルとされ、ビット線BL、／BLはプリチャージレベルV<sub>blp</sub>とされる。

#### 【0039】

上記のような読み出し方法の強誘電体メモリによれば、読み出し時における消費電力を低減できる。本効果について、以下図7を参照しつつ説明する。

#### 【0040】

本実施形態に係るデータの読み出し方法であると、ビット線のプリチャージレ

ベルを、 $V_{aa}$ と $V_{ss}$ の間の電位 $V_{blp}$ に設定している。そして、電位 $V_{aa}$ 、 $V_{ss}$ は、センスアンプによってそれぞれ“1”データ及び“0”データを増幅した際のビット線 $B_L$ の電位である。すなわち、データの読み出し後、ビット線対 $B_L$ 、 $/B_L$ の一方の電位は $V_{aa}$ であり、他方の電位は $V_{ss}$ である。すると、データ読み出し後にビット線対 $B_L$ 、 $/B_L$ をプリチャージするために、高電位( $V_{aa}$ )のビット線における電荷を利用できる。すなわち、高電位のビット線の電荷を低電位( $V_{ss}$ )のビット線に、例えばプリチャージ回路のトランジスタ53を介して移動させることで、ビット線対 $B_L$ 、 $/B_L$ の電位をプリチャージレベル $V_{blp}$ に近づけることが出来る。従って、プリチャージの際における電力消費を低減できる。特に、プリチャージ回路において、トランジスタ51、52をオン状態にする前にトランジスタ53を先にオン状態に出来るようにしておくと、更に電力消費を低減できる。また、プリチャージレベルとして、 $(V_{aa} + V_{ss}) / 2$ の電位を設定すると、高電位のビット線の電荷の再利用効率を最大に出来る。

#### 【0041】

上記の点を従来と比較する。まず、従来のデータ読み出し方法であると、図17を用いて説明したように、ビット線 $/B_L$ の電位を基準電位 $V_{ref}$ だけ上昇させる必要がある(時刻 $t_2$ )。本実施形態においてこれに相当するのが、ビット線 $B_L$ の電位をプリチャージレベル $V_{blp}$ から基準電位 $V_{dr}$ だけ下げる点である。従来の方法では、電位を上昇させなければならいので電力を消費するが、本実施形態の方法では、電位を下降させるので電力消費は殆どない。そして、読み出しに要する消費電力は、従来、本実施形態共に同様である。次にアクティブ状態からスタンバイ状態に戻る際であるが、従来の方法であると、プリチャージレベルは接地電位 $V_{ss}$ である。従って、スタンバイ状態に戻る際に殆ど電力を消費しない。本実施形態の方法では、上記したように、高電位のビット線の電荷をプリチャージに使用するため、電力消費を抑えられる。従って本実施形態に係る方法であると、従来における読み出し前のビット線 $/B_L$ を基準電位 $V_{ref}$ だけ上昇させるのにかかる電力消費分が低減される。

#### 【0042】

次に、この発明の第2の実施形態に係る強誘電体メモリ及びそのデータ読み出し方法について、TC並列ユニット直列接続型強誘電体メモリを例に挙げて説明する。本実施形態に係るTC並列ユニット直列接続型強誘電体メモリは、上記第1の実施形態で説明した、図1乃至図4に示す構成において、図8に示すプレート線駆動回路を適用したものである。図8はプレート線駆動回路の回路図である。

#### 【0043】

図示するようにプレート線駆動回路60は、nチャネルMOSトランジスタ61～63、及びpチャネルMOSトランジスタ64を備えている。nチャネルMOSトランジスタ61、62の電流経路は、電位 $V_{aa}$ （内部電源電位）と電位 $V_{ss}$ （接地電位）との間に直列接続されている。そして、nチャネルMOSトランジスタ61、62のゲートにはそれぞれ制御信号 $\phi_1$ 、 $\phi_2$ が供給される。nチャネルMOSトランジスタ63及びpチャネルMOSトランジスタ64の電流経路は、nチャネルMOSトランジスタ61、62の接続ノードと、電位 $V_{p1}$ ノードとの間に接続されている。nチャネルMOSトランジスタ63及びpチャネルMOSトランジスタ64のゲートには、それぞれ制御信号 $\phi_3$ 、 $\phi_3$ が供給される。そして、nチャネルMOSトランジスタ61、62の接続ノードの電位が、プレート線PLに供給される。

#### 【0044】

次に本実施形態に係る強誘電体メモリのデータ読み出し方法について、図9、図10を用いて説明する。図9は、本実施形態に係るTC並列ユニット直列接続型強誘電体メモリのデータ読み出し方法の、特にビット線対BL、 $\overline{BL}$ の電位に着目したフローチャートであり、図10は各種信号のタイミングチャートである。なお、上記第1の実施形態と同様に、ここでは図1に示すようにメモリセルアレイ20において2つのメモリセルブロックBLK0、BLK1にのみ着目して説明する。そして、ワード線WL3に接続されたメモリセルMCからデータを読み出す場合を例に挙げて説明する。

#### 【0045】

まずスタンバイ状態において、ビット線対BL、 $\overline{BL}$ が、プリチャージレベ

ル  $V_{b1p}$  にプリチャージされる (ステップ S7)。ビット線対 BL、 $\neg$ BL のプリチャージ方法は、上記第 1 の実施形態で説明したとおりである。またプレート線 PL が、プレート線駆動回路 60 によって、プリチャージレベル  $V_{p11}$  にプリチャージされる (ステップ S7)。すなわち、図 8 に示すプレート線駆動回路 60 において、制御信号  $\phi 1$ 、 $\phi 2$  が “L” レベルとされ、制御信号  $\phi 3$  が “H” レベルとされる。これにより、n チャンネル MOS トランジスタ 61、62 がオフ状態、n チャンネル MOS トランジスタ 63 及び p チャンネル MOS トランジスタ 64 がオン状態とされる。その結果、プレート線 PL にプリチャージレベル  $V_{p11}$  が供給される。なお、プリチャージレベル  $V_{p11}$  は、電位  $V_{aa}$  と  $V_{ss}$  との間の電位であり、例えば  $V_{b1p}$  と同様に  $(V_{aa} + V_{ss}) / 2$  である。

#### 【0046】

また、ブロック選択トランジスタ BST0、BST1 はオフ状態である。更に、ビット線駆動回路 40 のノード N1 はビット線対 BL、 $\neg$ BL から電氣的に分離された状態であり、センスアンプ 30 は非活性な状態である。

#### 【0047】

その状態で、強誘電体メモリはスタンバイ状態からアクティブ状態へと移行する。すなわち、時刻  $t1$  において、第 1 の実施形態と同様に、ビット線対 BL、 $\neg$ BL がプリチャージレベル  $V_{b1p}$  でフローティングとされる (ステップ S2)。その後、ビット線 BL の電位がプリチャージレベル  $V_{b1p}$  から基準電位  $V_{dr}$  だけ低下される (ステップ S3)。

#### 【0048】

次に時刻  $t4$  において、メモリセルからデータが読み出される (ステップ S4)。すなわち、ワード線 WL3 がロウデコーダによって選択され、またブロック選択トランジスタ BST0 がオン状態とされる。更に、プレート線駆動回路 60 によって、プレート線 PL に電位  $V_{aa}$  が供給される。すなわち、図 8 に示すプレート線駆動回路 60 において、制御信号  $\phi 1$  が “H” レベル、制御信号  $\phi 2$ 、 $\phi 3$  が “L” レベルとされる。よって、n チャンネル MOS トランジスタ 61 がオン状態、n チャンネル MOS トランジスタ 62、63 及び p チャンネル MOS トラン

ジスタ 64 がオフ状態とされる。その結果、プレート線 PL に電位  $V_{aa}$  が供給される。

#### 【0049】

その後は、上記第 1 の実施形態と同様に、ビット線 BL に読み出されたデータがセンスアンプ 30 によって増幅される（ステップ S5）。そして、データの再書き込みを行った後、再びスタンバイ状態に戻る（ステップ S6）。すなわち、前述の通り、ビット線 BL、 $\neg$ BL がプリチャージレベル  $V_{b1p}$  に、プレート線 PL がプリチャージレベル  $V_{p11}$  にプリチャージされる。

#### 【0050】

上記のような読み出し方法の強誘電体メモリによれば、ビット線のプリチャージレベルを、 $V_{aa}$  と  $V_{ss}$  との間の電位  $V_{b1p}$  に設定している。従って、上記第 1 の実施形態と同様に、読み出し時における消費電力を低減できる。

#### 【0051】

また、上記効果に加えてブロック選択トランジスタにおけるリーク電流の発生を抑制できるという効果が得られる。この効果について、図 11 を用いて説明する。図 11 は、TC 並列ユニット直列接続型強誘電体メモリのメモリセルアレイの回路図である。

#### 【0052】

TC 並列ユニット直列接続型強誘電体メモリでは、スタンバイ状態において、ブロック選択信号は“L”レベルとされて、ブロック選択トランジスタはオフ状態とされる。これに対し、ワード線は、その全てが“H”レベルとされて、セルトランジスタ T はオン状態とされる。従って、スタンバイ状態におけるブロック選択トランジスタのソース・ドレイン間には、プレート線プリチャージレベルとビット線プリチャージレベルとの間の電位差が印加される。従来であると、プレート線プリチャージレベルは、接地電位  $V_{ss}$  である。これに対して本実施形態であると、ブロック選択トランジスタのソース・ドレイン間には  $|V_{p11} - V_{b1p}|$  が印加される。そしてプレート線プリチャージレベル  $V_{p11}$  は、 $V_{ss}$  と  $V_{aa}$  との間の電位である。従って、従来に比べてブロック選択トランジスタのソース・ドレイン間の電位差を小さくできる。特に、 $V_{p11} = V_{b1p}$  の

場合には、ブロック選択トランジスタのソース・ドレイン間の電位差は殆どゼロである。その結果、ブロック選択トランジスタにおけるリーク電流の発生を抑制でき、強誘電体メモリの動作信頼性を向上できる。

#### 【0053】

更に、プレート線プリチャージレベル $V_{p11}$ を $V_{a1}$ と $V_{s1}$ との間の電位とすることで、強誘電体メモリの動作安定性を向上できる。一般的に半導体回路は、信号が“L”レベルとされている状態が安定である。しかし前述の通り、TC並列ユニット直列接続型強誘電体メモリでは、スタンバイ状態において全ワード線に“H”レベルが印加される。従って、動作の安定性という面では決して好ましいものではない。この点、本実施形態であると、プレート線プリチャージレベル $V_{p11}$ は $V_{a1}$ と $V_{s1}$ との間の電位に設定されている。従って、ワード線の電位が従来に比べて相対的に低下したものと見ることが出来る。その結果、強誘電体メモリの動作安定性に寄与することとなる。

#### 【0054】

次に、この発明の第3の実施形態に係る強誘電体メモリ及びそのデータ読み出し方法について、TC並列ユニット直列接続型強誘電体メモリを例に挙げて説明する。本実施形態に係るTC並列ユニット直列接続型強誘電体メモリは、上記第2の実施形態で説明した構成において、ビット線駆動回路を図12に示す構成に置き換えたものである。図12はビット線駆動回路の回路図である。

#### 【0055】

図示するように、本実施形態に係るビット線駆動回路40は、上記第1の実施形態で説明した図3の構成において、nチャネルMOSトランジスタ43の電流経路をノードN1と電位 $V_{s1}$ ノードとの間に接続し、且つキャパシタ素子44をノードN1と制御信号DPLノードとの間に接続したものである。

#### 【0056】

次に、上記構成の強誘電体メモリのデータ読み出し方法について説明する。本実施形態に係るデータ読み出し方法は、ビット線の電位をプリチャージレベルから基準電位 $V_{dr}$ だけ低下させる点以外は、上記第2の実施形態と同様であるので、ここではその点のみ説明する。図13は、ビット線の電位をプリチャージレ

ベルから基準電位  $V_{dr}$  だけ低下させる際のフローチャートであり、図 1 4 は各種信号のタイミングチャートである。

#### 【0 0 5 7】

まず、上記第 2 の実施形態で説明したように、ビット線対  $BL$ 、 $\neg BL$  をプリチャージレベル  $V_{blp}$  でフローティングとする。スタンバイ時、ビット線駆動回路 4 0 においては、制御信号  $D_{RST}$  は “H” レベルとされ、ノード  $N1$  は  $V_{ss}$  ノードに接続されている（ステップ  $S34$ ）。この際、制御信号  $D_{BS0}$ 、 $D_{BS1}$  は “L” レベルであるので、ノード  $N1$  はビット線対  $BL$ 、 $\neg BL$  とは電氣的に切り離されている。また制御信号  $D_{PL}$  は “H” レベル（電位  $V_{dc}$ ）とされている。

#### 【0 0 5 8】

次に時刻  $t1$  において、制御信号  $D_{RST}$  が “L” レベルとされる。更に時刻  $t2$  において、制御信号  $D_{BS0}$  が “H” レベルとされる。これにより、ビット線  $BL$  はノード  $N1$  に接続され、ビット線  $BL$  の電位が低下する（ステップ  $S35$ ）。また、同時に制御信号  $D_{PL}$  が “L” レベル（電位  $V_{ss}$ ）とされる（ステップ  $S36$ ）。その結果、キャパシタ素子 4 4 とのカップリングにより、ビット線  $BL$  の電位が更に低下し、ビット線の電位はプリチャージレベル  $V_{blp}$  から基準電位  $V_{dr}$  だけ低下する（ステップ  $S37$ ）。

#### 【0 0 5 9】

その後の動作は、上記第 1、第 2 の実施形態で説明したとおりである。

#### 【0 0 6 0】

本実施形態に係る強誘電体メモリによれば、上記第 1、第 2 の実施形態で説明した効果が得られる。更に、本実施形態に係るデータ読み出し方法であると、キャパシタ素子 4 4 の一方電極を制御信号  $D_{PL}$  ノードに接続している。そして、制御信号  $D_{PL}$  を電位  $V_{dc}$  から  $V_{ss}$  に変化させ、ビット線  $BL$  の電位をキャパシタ素子 4 4 とのカップリングにより低下させている。従って、第 1、第 2 の実施形態に比べて、基準電位  $V_{dr}$  を大きくすることが出来る。すなわち、ビット線  $BL$  の電位をより大きく下げることが出来る。よって、第 1、第 2 の実施形態の場合よりも、より大きな電圧をメモリセルに印加して、より大きな読み出し



信号を得ることが可能となる。その結果、読み出したデータの信頼性を向上させることが出来る。

#### 【0061】

次に、この発明の第4の実施形態に係る強誘電体メモリ及びそのデータ読み出し方法について、TC並列ユニット直列接続型強誘電体メモリを例に挙げて説明する。本実施形態に係るTC並列ユニット直列接続型強誘電体メモリは、上記第2の実施形態で説明した構成において、ビット線駆動回路を図15に示す構成に置き換えたものである。図15はビット線駆動回路の回路図である。

#### 【0062】

図示するように、本実施形態に係るビット線駆動回路40は、2つのnチャネルMOSトランジスタ45、46を備えている。nチャネルMOSトランジスタ45、46の電流経路は、ビット線対BL、 $\overline{BL}$ 間に直列接続されており、それぞれのゲートには制御信号BLDIS0、BLDIS1が与えられる。また2つのnチャネルMOSトランジスタ45、46の接続ノードN1は、接地電位Vssに接続されている。

#### 【0063】

次に、上記構成の強誘電体メモリのデータ読み出し方法について説明する。本実施形態に係るデータ読み出し方法は、ビット線の電位をプリチャージレベルから基準電位Vdrだけ低下させる点以外は、上記第2の実施形態と同様であるので、ここではその点のみ説明する。図16は各種信号のタイミングチャートである。

#### 【0064】

まず、上記第2の実施形態で説明したように、時刻t1で制御信号BLEQを“L”レベルとして、ビット線対BL、 $\overline{BL}$ をプリチャージレベルVblpでフローティングとする。次に時刻t2で制御信号BLDIS0を“H”レベルとする。その結果、ビット線BLはノードN1を介して電位Vssに接続され、ビット線BLの電位がVssまで低下する。すなわち、本実施形態において、基準電位Vdrは、 $(Vblp - Vss)$ である。

#### 【0065】

その後の動作は、上記第 1、第 2 の実施形態で説明したとおりである。

#### 【0066】

本実施形態に係る強誘電体メモリによれば、第 1、第 2 の実施形態で説明した効果が得られる。更に、本実施形態に係るデータ読み出し方法であると、ビット線 BL の電位をプリチャージレベル  $V_{blp}$  から基準電位  $V_{dr}$  だけ低下させる際に、ビット線 BL を接地電位  $V_{ss}$  に接続している。従って、第 3 の実施形態で説明した方法よりも、更に基準電位  $V_{dr}$  を大きくすることが出来る。すなわち、ビット線 BL の電位をより大きく下げることが出来る。よって、第 3 の実施形態の場合よりも、より大きな電圧をメモリセルに印加して、より大きな読み出し信号を得ることが可能となる。その結果、読み出したデータの信頼性を更に向上させることが出来る。また本実施形態の場合、ビット線プリチャージレベル  $V_{blp}$  は、ちょうど “0” データと “1” データとが区別される境界の電位（検知レベル）である。換言すれば、メモリセルからデータを読み出した場合、ビット線 BL の電位変化量が  $(V_{blp} - V_{ss})$  よりも小さければ “0” データと判定され、大きければ “1” データと判定される。

#### 【0067】

上記のように、この発明の第 1 乃至第 4 の実施形態に係る強誘電体メモリ及びそのデータ読み出し方法によれば、ビット線プリチャージレベル  $V_{blp}$  を、センスアンプによって増幅した “0” データ電位 ( $V_{ss}$ ) と “1” データ電位 ( $V_{aa}$ ) との間の電位に設定している。従って、データの読み出し後、高電位のビット線の電荷を、低電位のビット線のプリチャージに使用することが出来る。その結果、強誘電体メモリの消費電力を低減できる。特に、ビット線プリチャージレベル  $V_{blp}$  を  $(V_{aa} + V_{ss}) / 2$  に設定した際に、最も顕著な効果が得られる。

#### 【0068】

また第 2 の実施形態に係る構成及び方法であれば、プレート線プリチャージレベル  $V_{pll}$  も、センスアンプによって増幅した “0” データ電位と “1” データ電位との間の電位に設定している。従って、スタンバイ時において、ブロック選択トランジスタのソース・ドレイン間の電位差を低減できる。その結果、プロ

ック選択トランジスタにリーク電流が流れることを抑制でき、強誘電体メモリの動作信頼性を向上できる。特に、プレート線プリチャージレベル  $V_{p11}$  をビット線プリチャージレベル  $V_{b1p}$  と同電位にした際に、最も顕著な効果が得られる。更に、スタンバイ時においてワード線の電位を相対的に低減できるため、強誘電体メモリの動作安定性を向上できる。

#### 【0069】

更に第3、第4の実施形態に係る構成及び方法であれば、アクティブ時にビット線の電位をプリチャージレベルから基準電位だけ低下させる際に、基準電位をより大きくすることが出来る。従って、より大きな読み出し信号を得ることが出来、強誘電体メモリの読み出し動作信頼性を向上できる。

#### 【0070】

なお上記第3、第4の実施形態では、第2の実施形態においてそれぞれ図12及び図15に示すビット線駆動回路を適用した場合について説明した。しかし、図12及び図15に示す構成は、上記第1の実施形態で説明した構成に適用しても構わない。その場合の各種信号のタイミングチャートを図17、図18に示す。この場合にはプレート線プリチャージレベルは  $V_{ss}$  であるので、第2の実施形態で説明した効果は得られないが、第1、第3の実施形態、及び第1、第4の実施形態で説明した効果がそれぞれ得られる。

#### 【0071】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

#### 【0072】

##### 【発明の効果】

以上説明したように、この発明によれば、消費電力を低減できる強誘電体メモ

り及びそのデータ読み出し方法を提供できる。

**【図面の簡単な説明】**

【図 1】 この発明の第 1 の実施形態に係る強誘電体メモリのブロック図。

【図 2】 この発明の第 1 の実施形態に係る強誘電体メモリが備えるセンスアンプの回路図。

【図 3】 この発明の第 1 の実施形態に係る強誘電体メモリが備えるビット線駆動回路の回路図。

【図 4】 この発明の第 1 の実施形態に係る強誘電体メモリが備えるプリチャージ回路の回路図。

【図 5】 この発明の第 1 の実施形態に係る強誘電体メモリのデータ読み出し方法のフローチャート。

【図 6】 この発明の第 1 の実施形態に係る強誘電体メモリのデータ読み出し方法の一部のフローチャート。

【図 7】 この発明の第 1 の実施形態に係る強誘電体メモリのデータ読み出し時における、各種信号のタイミングチャート。

【図 8】 この発明の第 2 の実施形態に係る強誘電体メモリが備えるプレート線駆動回路の回路図。

【図 9】 この発明の第 2 の実施形態に係る強誘電体メモリのデータ読み出し方法の一部のフローチャート。

【図 1 0】 この発明の第 2 の実施形態に係る強誘電体メモリのデータ読み出し時における、各種信号のタイミングチャート。

【図 1 1】 この発明の第 2 の実施形態に係る強誘電体メモリのブロック図であり、スタンバイ時における様子を示す図。

【図 1 2】 この発明の第 3 の実施形態に係る強誘電体メモリが備えるビット線駆動回路の回路図。

【図 1 3】 この発明の第 3 の実施形態に係る強誘電体メモリのデータ読み出し方法の一部のフローチャート。

【図 1 4】 この発明の第 3 の実施形態に係る強誘電体メモリのデータ読み出し時における、各種信号のタイミングチャート。

【図 1 5】 この発明の第 4 の実施形態に係る強誘電体メモリが備えるビット線駆動回路の回路図。

【図 1 6】 この発明の第 4 の実施形態に係る強誘電体メモリのデータ読み出し時における、各種信号のタイミングチャート。

【図 1 7】 この発明の第 3 の実施形態の変形例に係る強誘電体メモリのデータ読み出し時における、各種信号のタイミングチャート。

【図 1 8】 この発明の第 4 の実施形態の変形例に係る強誘電体メモリのデータ読み出し時における、各種信号のタイミングチャート。

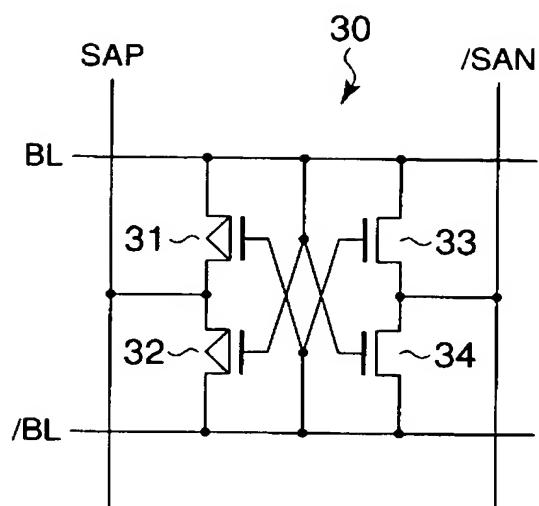
【図 1 9】 従来の強誘電体メモリのデータ読み出し時における、各種信号のタイミングチャート。

【符号の説明】

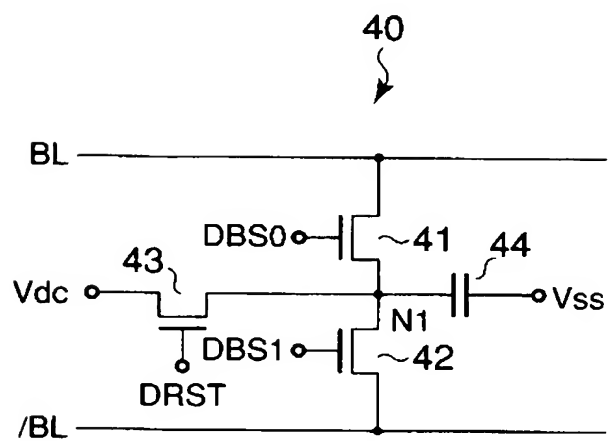
1 0…強誘電体メモリ、2 0…メモリセルアレイ、3 0…センスアンプ、3 1、3 2、6 4…pチャネルMOSトランジスタ、3 3、3 4、4 1～4 3、4 5、4 6 5 1～5 3、6 1～6 3…nチャネルMOSトランジスタ、4 0…ビット線駆動回路、4 4…キャパシタ素子、5 0…プリチャージ回路、6 0…プレート線駆動回路



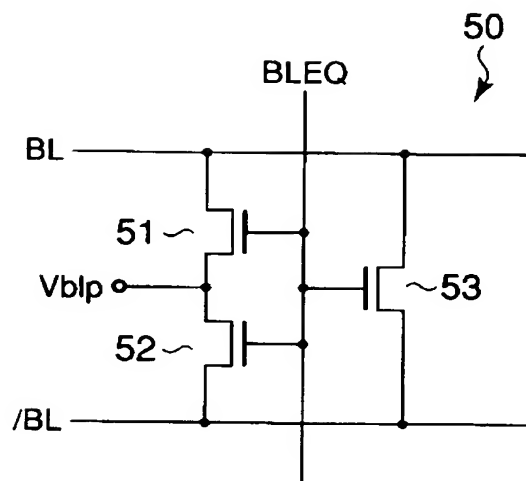
【図 2】



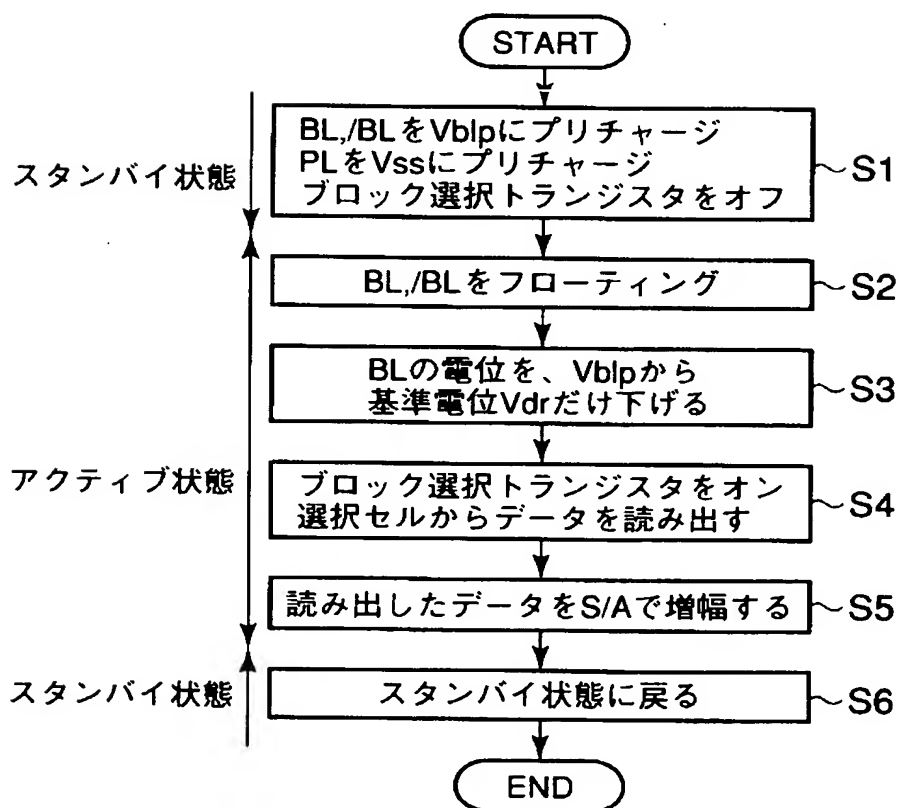
【図 3】



【図 4】

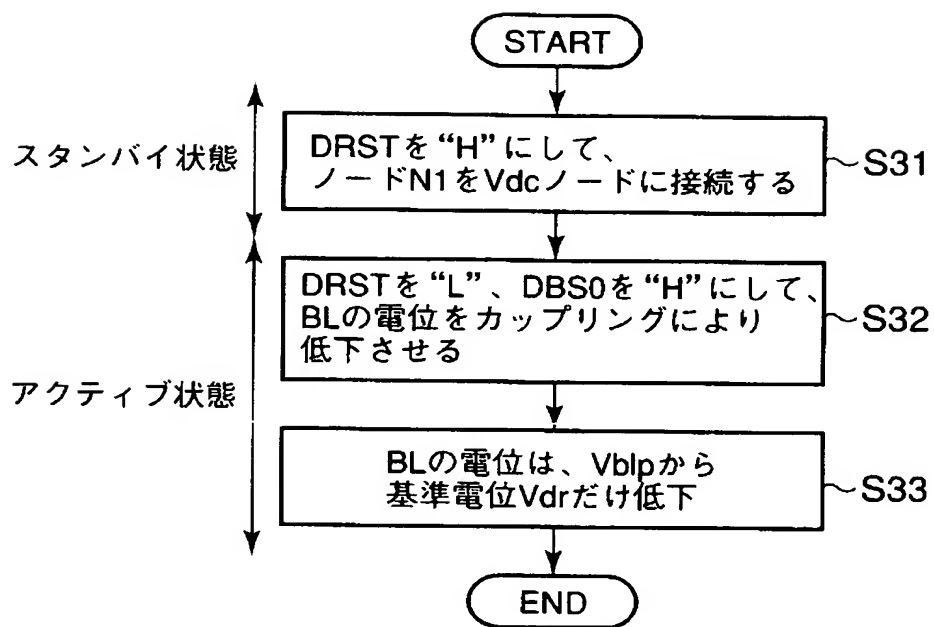


【図 5】

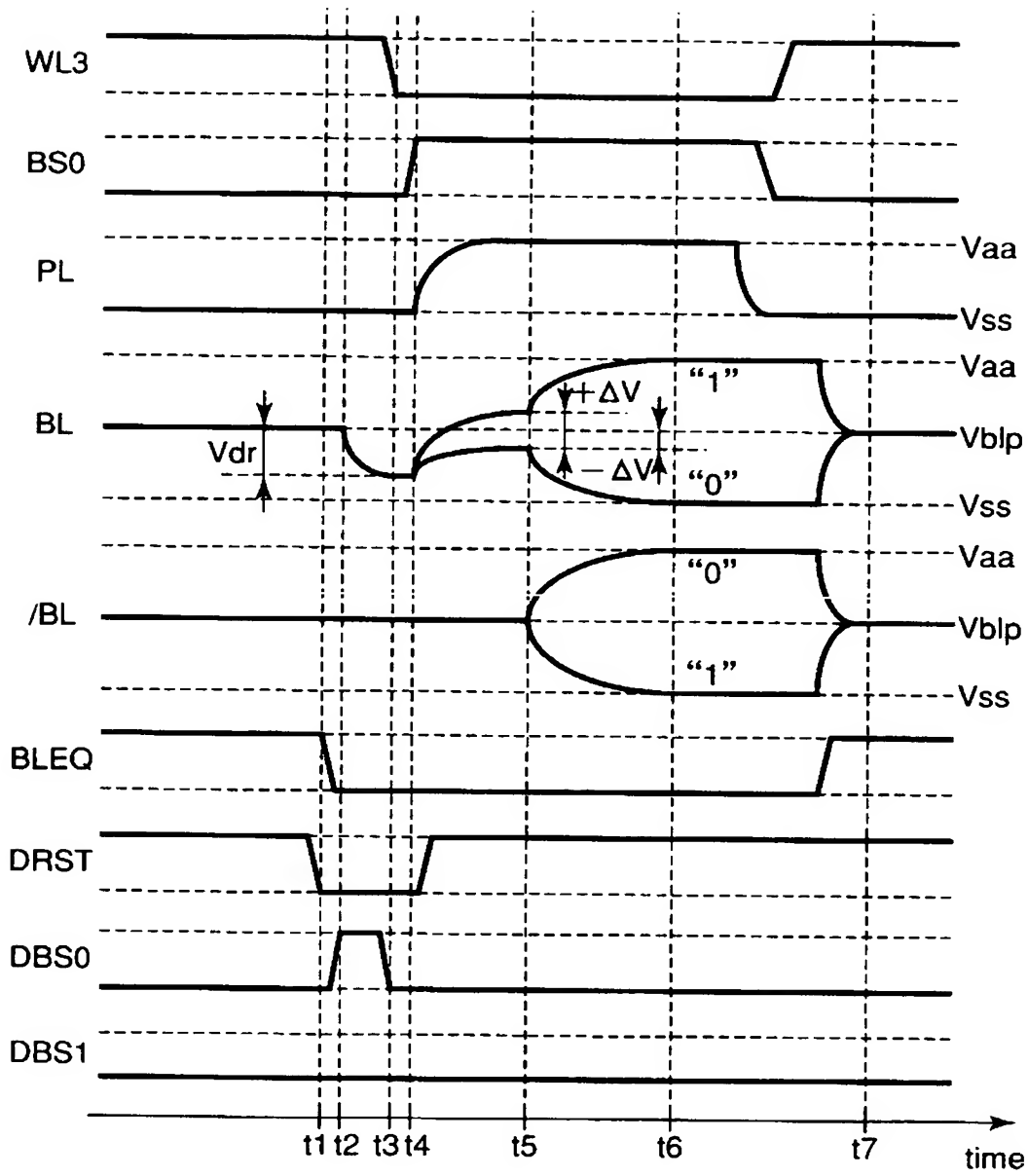




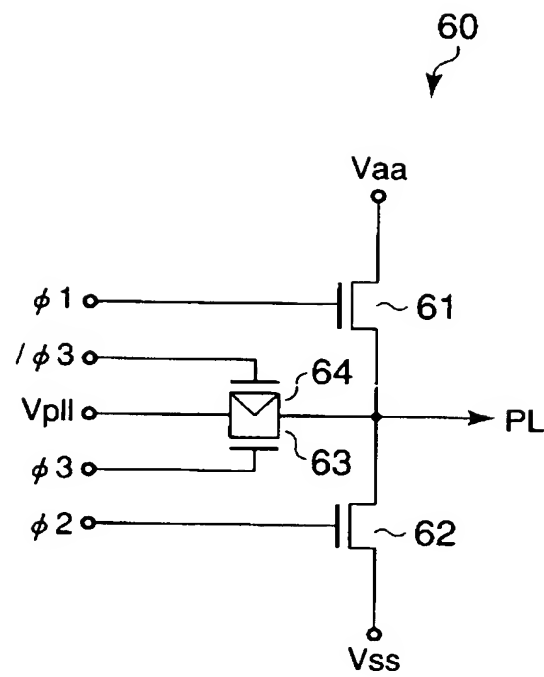
【図 6】



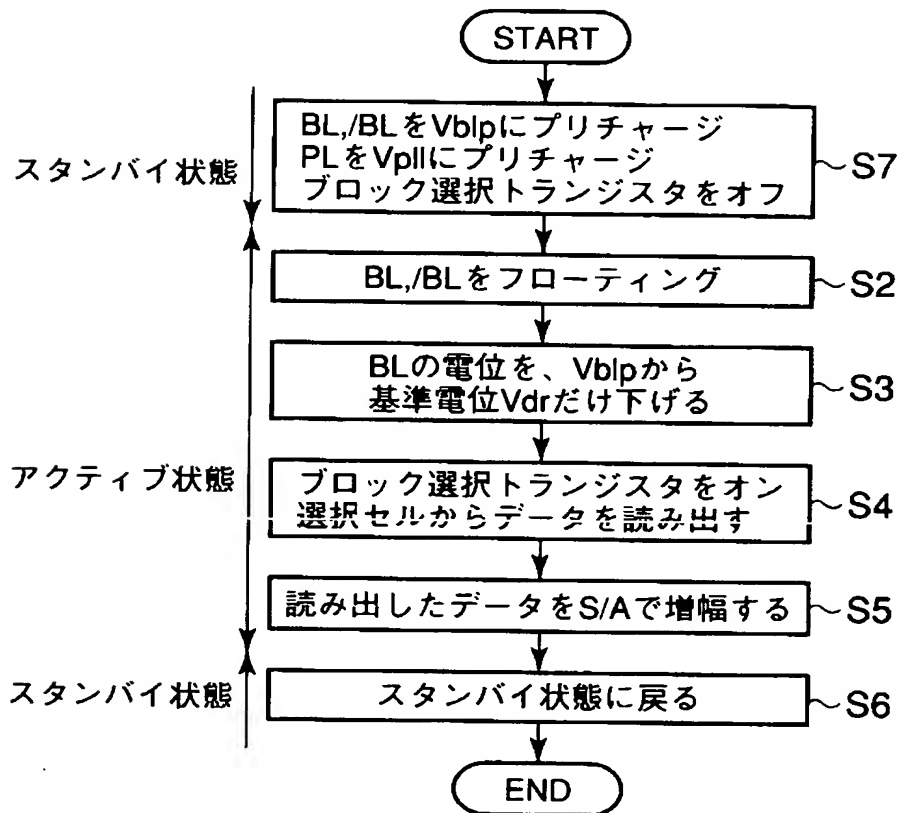
【図 7】



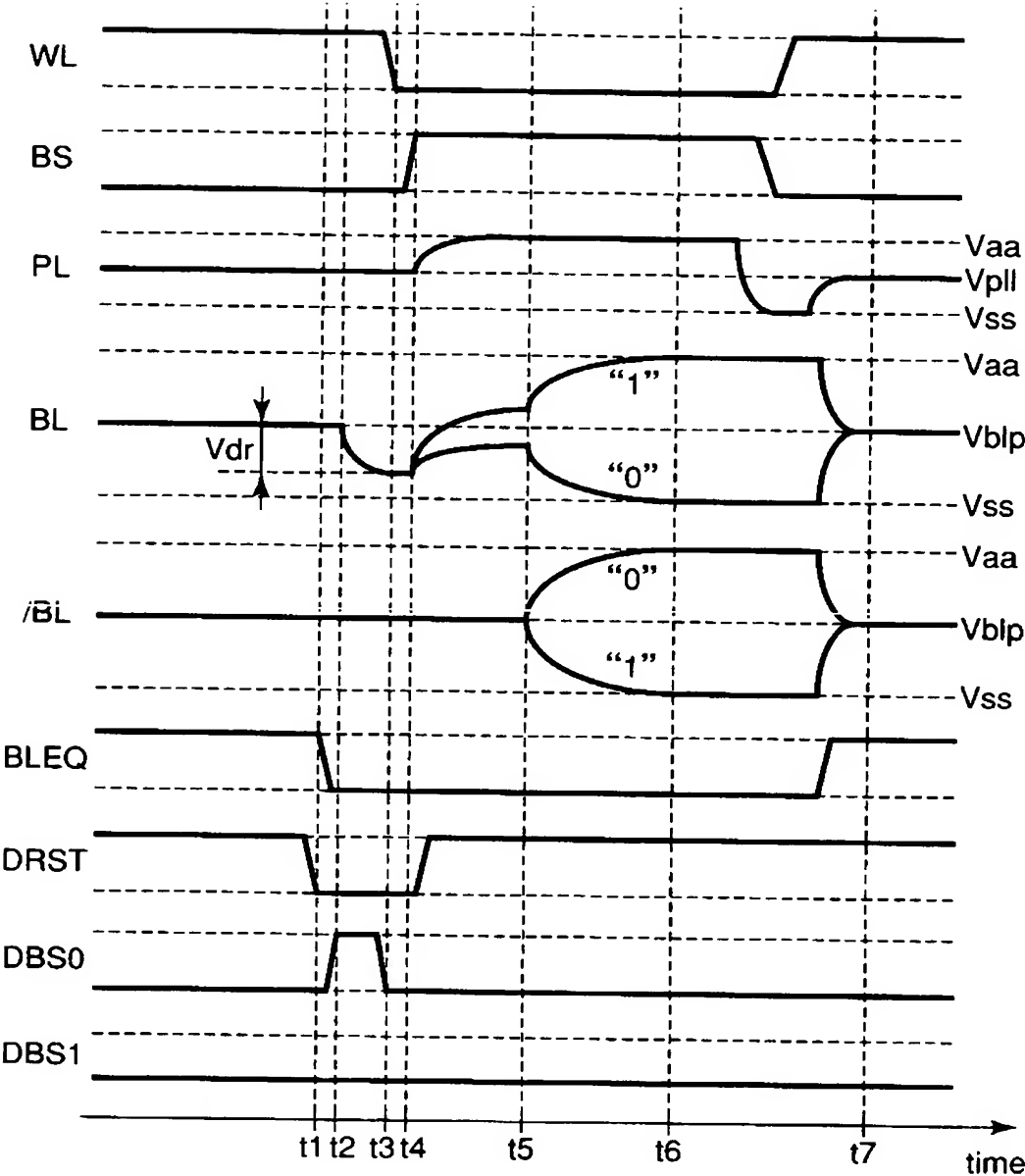
【図 8】



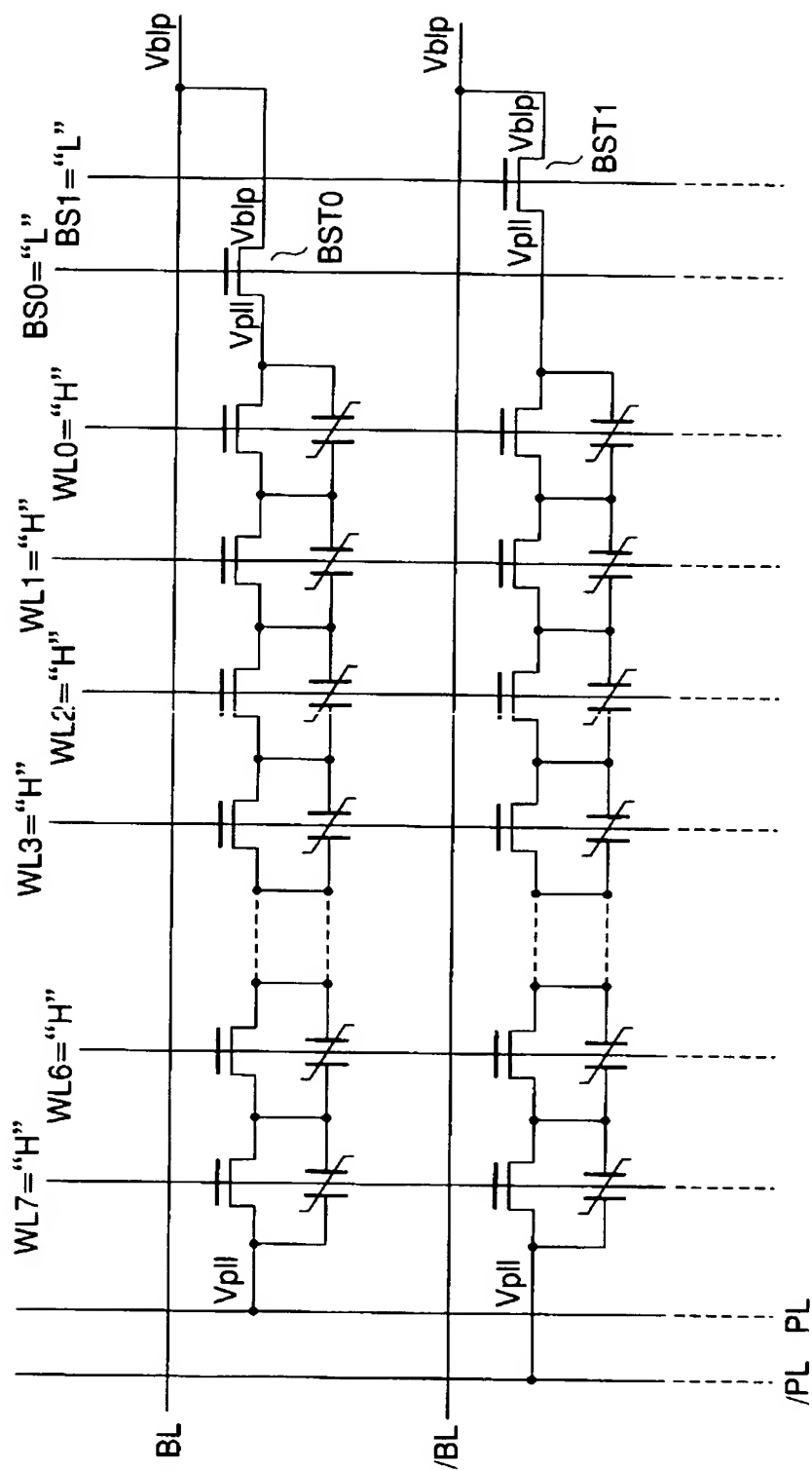
【図 9】



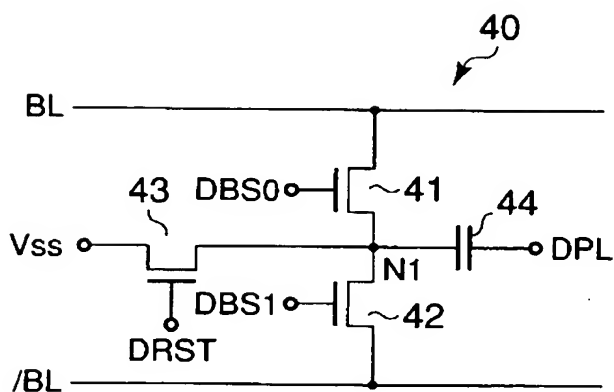
【図 10】



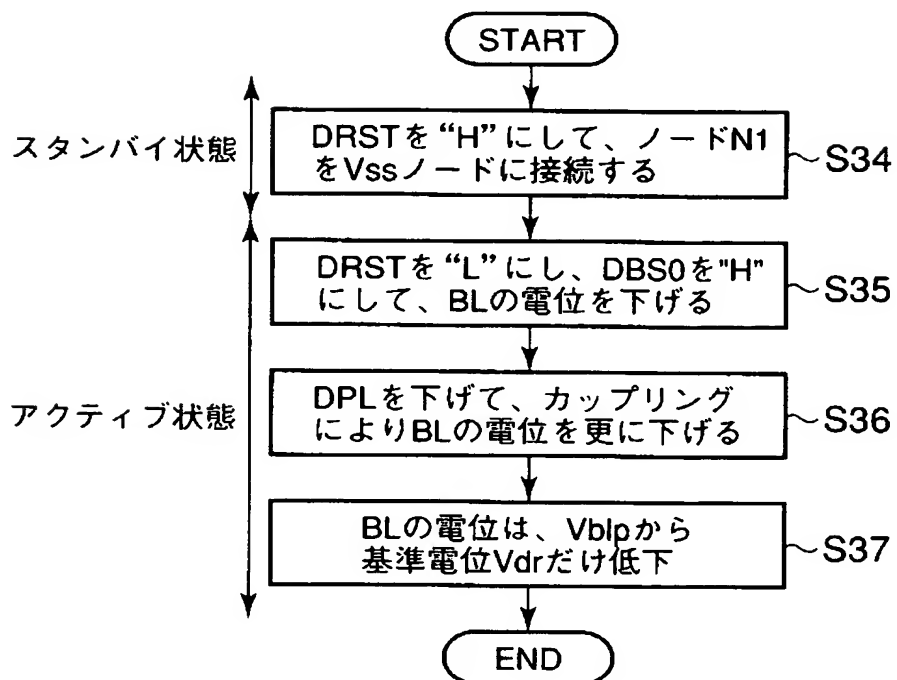
【図 11】



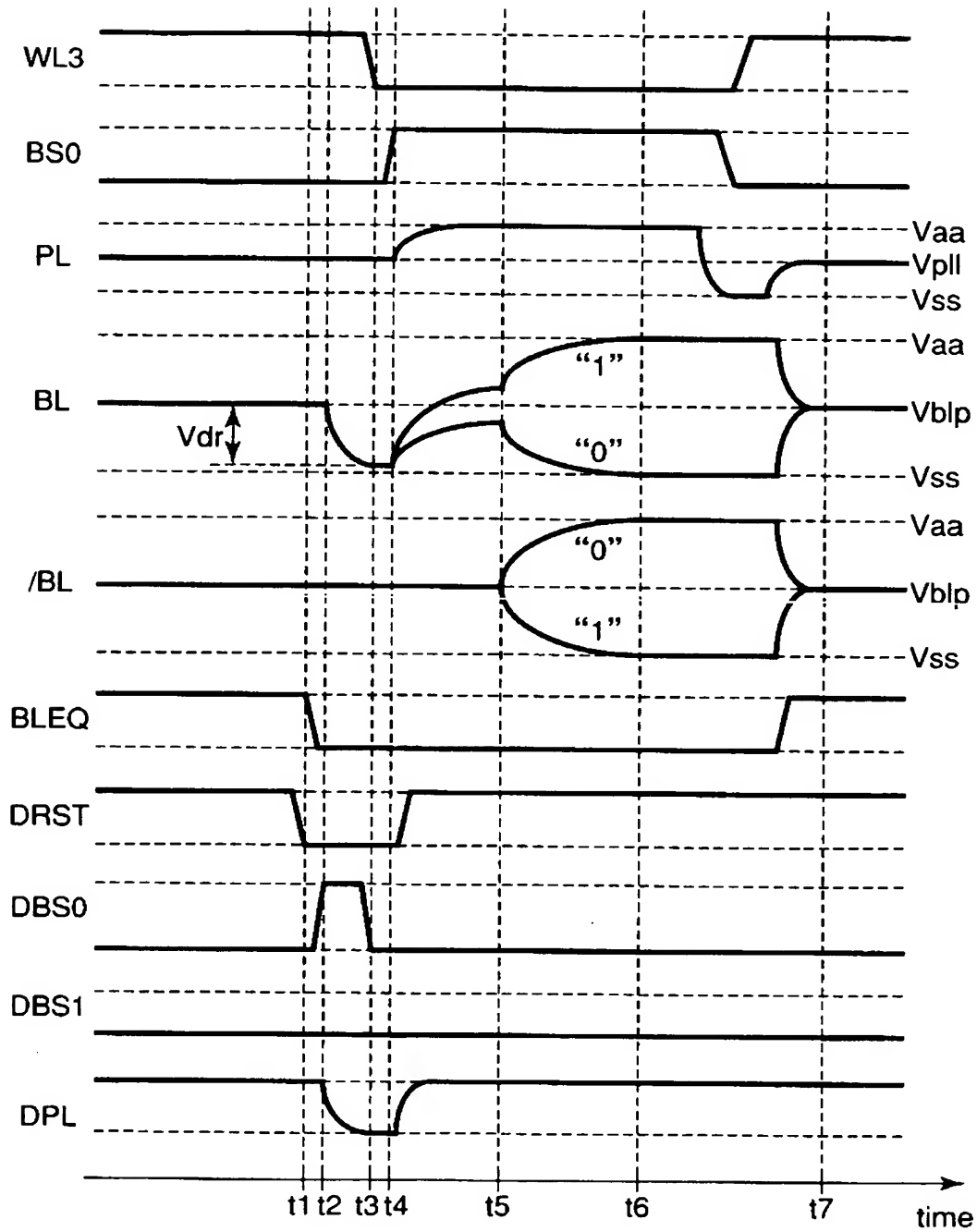
【図 12】



【図 13】

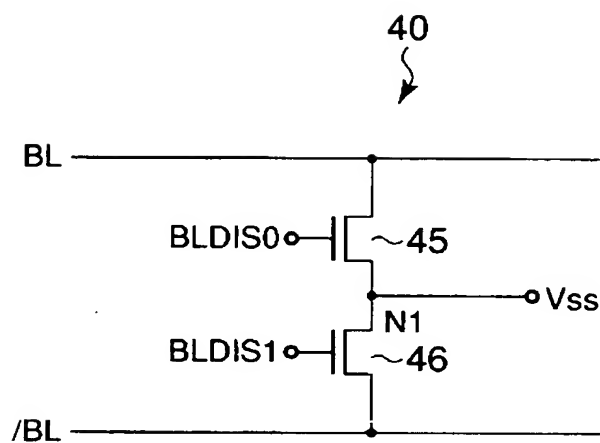


【図 14】

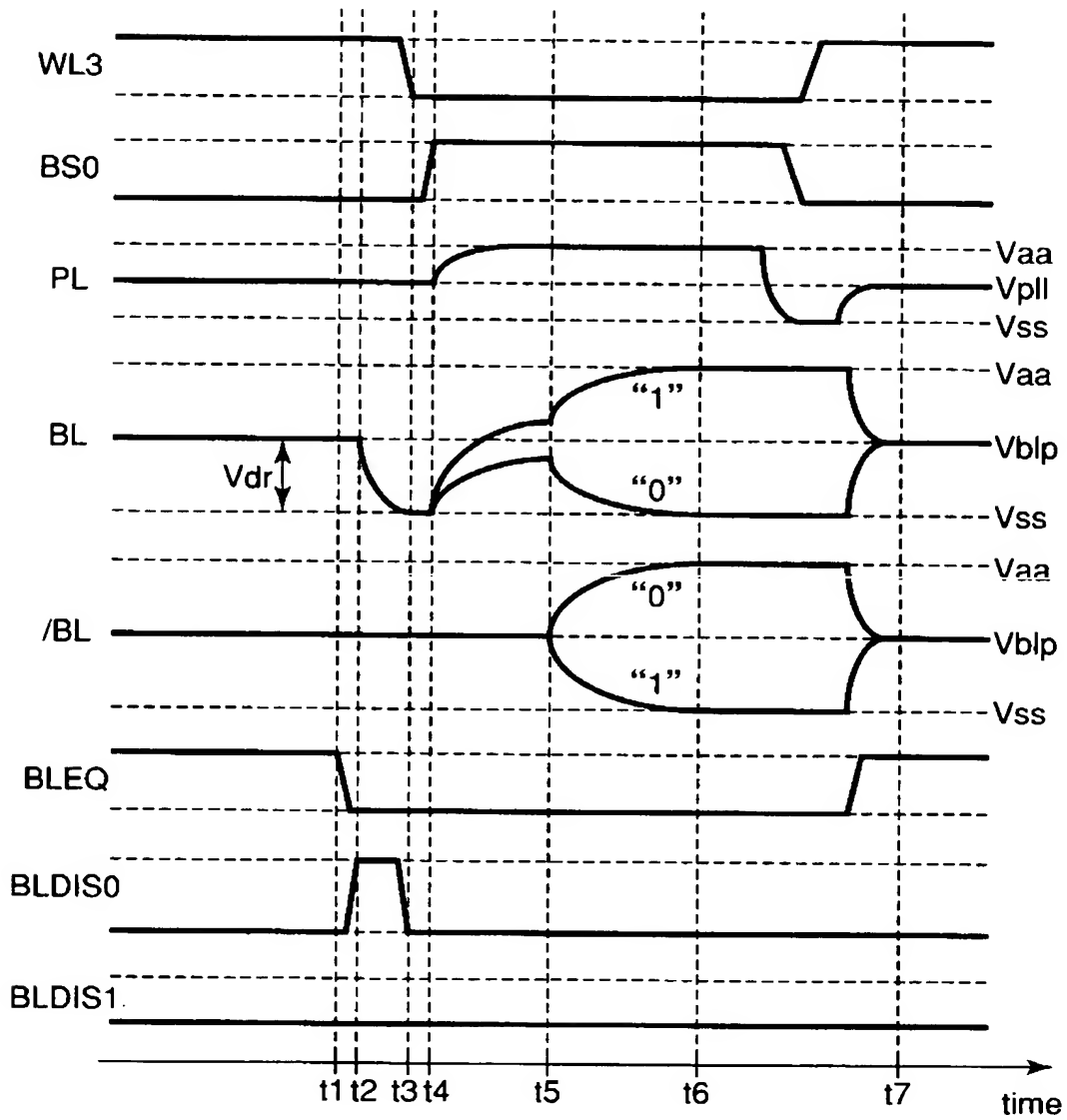




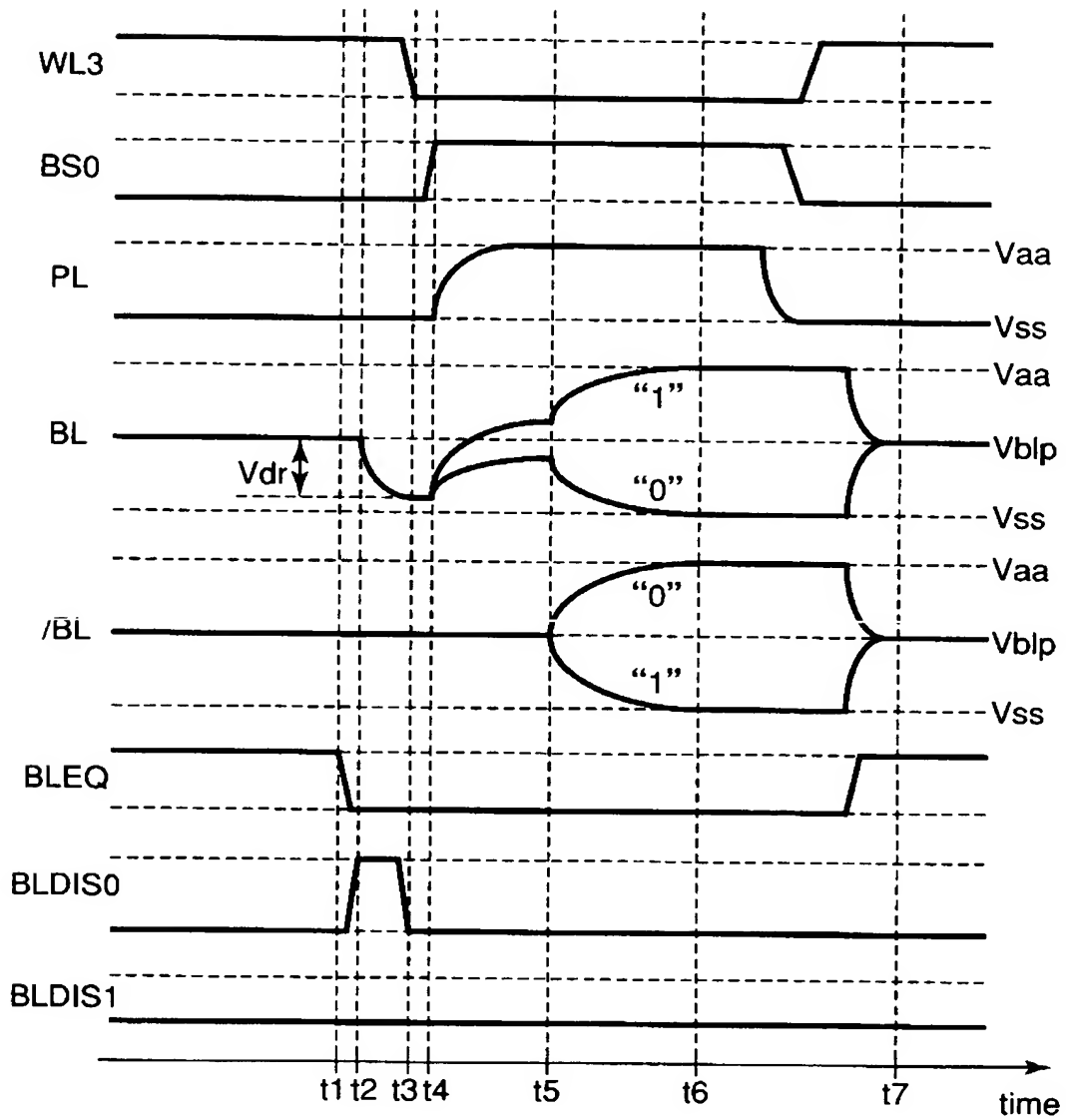
【図 15】



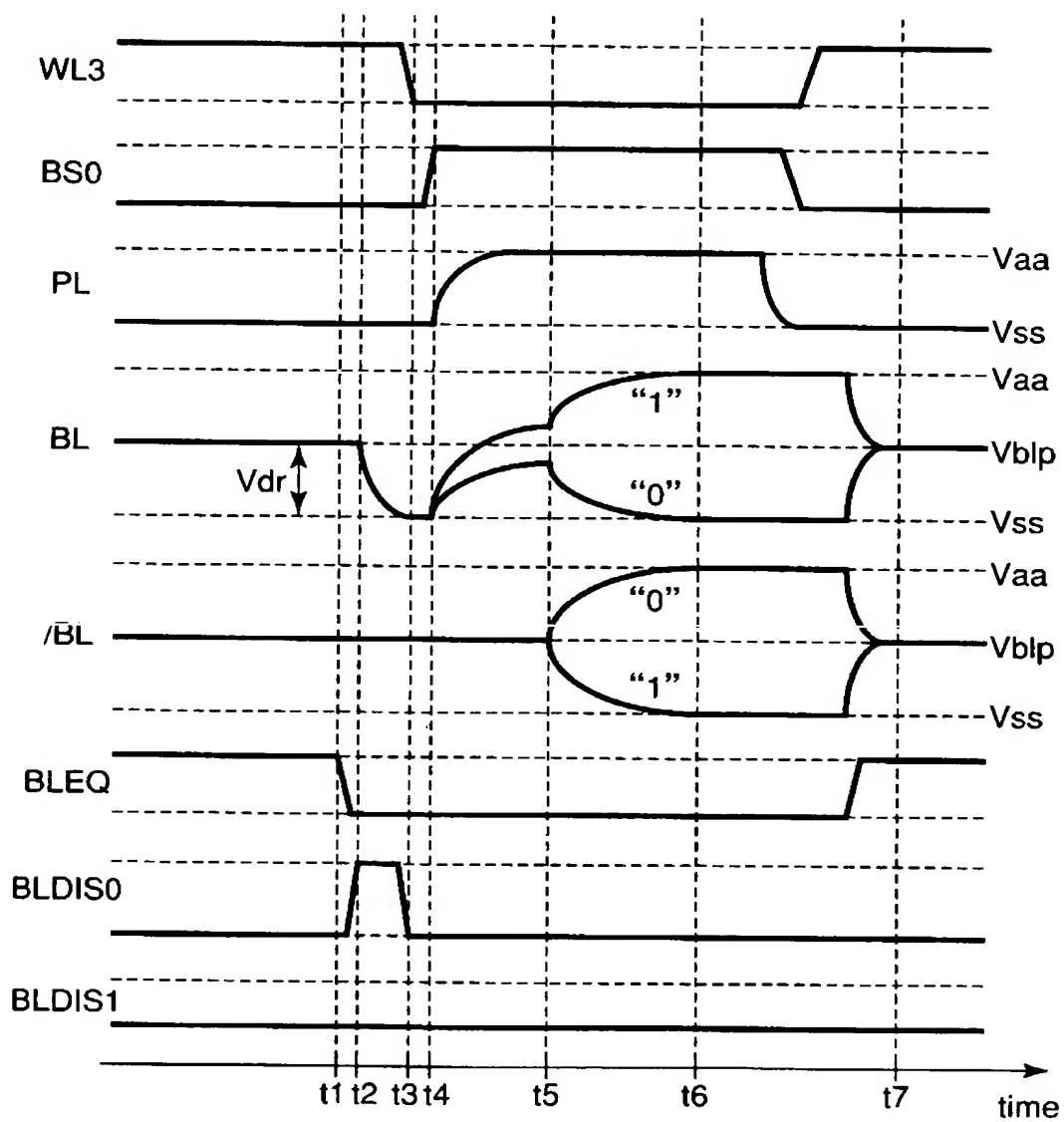
【図 16】



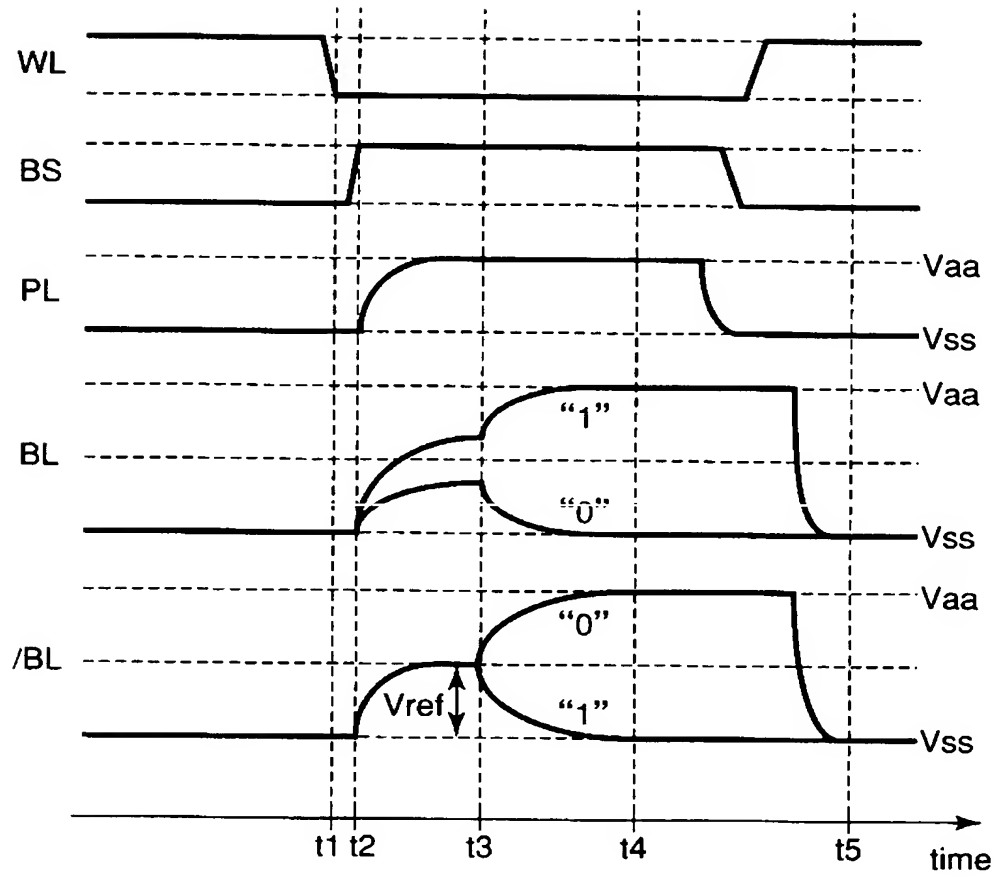
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 消費電力を低減できる強誘電体メモリ及びそのデータ読み出し方法を提供すること。

【解決手段】 セルトランジスタと前記セルトランジスタのソース・ドレイン間に接続された強誘電体キャパシタとを含むユニットセルMCと、第1、第2の端子間に接続された前記ユニットセルMCを含み、前記第1の端子がビット線BLに接続され、前記第2の端子がプレート線PLに接続されたメモリセルブロックBLK0と、前記ユニットセルMCから読み出したデータに応じて第1の電位Vssまたは前記第1の電位Vssより高い第2の電位Vaaを生成するセンスアンプ30と、前記ビット線BLを前記第1の電位Vssより高く前記第2の電位Vaaより低い第3の電位Vblpにプリチャージするプリチャージ回路とを具備することを特徴としている。

【選択図】 図7



特願 2 0 0 2 - 3 7 4 2 0 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

神奈川県川崎市幸区堀川町 7 2 番地

氏 名

株式会社東芝

2. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝